

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

High-resolution high-sensitivity solid-state imaging sensor

Patent Number: ☐ US4558365
Publication date: 1985-12-10
Inventor(s): OCHI SHIGEHARU (US)
Applicant(s): FUJI PHOTO FILM CO LTD (JP)
Requested Patent: ☐ JP60005683
Application Number: US19830501332 19830606
Priority Number(s): US19830501332 19830606
IPC Classification:
EC Classification: H01L27/146F
Equivalents: JP1742863C, JP4031231B

Abstract

A solid-state imaging sensor, which may be a color imaging sensor, having simultaneously a high resolution and high sensitivity. The horizontally extending electrodes, which are connected to be driven by outputs of a vertical shift register, are formed in a flattened zig-zag pattern with alternate ones of the horizontally extending electrodes being offset in phase from one another. Source diffusions are formed in the octagonally shaped areas thereby produced. FET switching devices are provided for each of the source diffusions for selectively coupling the source diffusions to corresponding ones of vertically extending electrodes. The source diffusions form active layers of light-sensing photodiodes.

Data supplied from the esp@cenet database - I2

FP-1024 US

⑨ 日本国特許庁(JP)

⑩ 特許出願公告

⑫ 特 許 公 報 (B 2)

平4-31231

⑬ Int. Cl.

H 04 N 5/335
H 01 L 27/146

識別記号

E

庁内整理番号

8838-5C

⑭ 公告 平成4年(1992)5月25日

8122-4M H 01 L 27/14

A

発明の数 2 (全7頁)

⑮ 発明の名称 高解像度高感度ソリッドステートイメージセンサ

⑯ 特 願 昭59-110853

⑰ 公 開 昭60-5683

⑱ 出 願 昭59(1984)6月1日

⑲ 昭60(1985)1月12日

優先権主張 ⑳ 1983年6月6日㉑ 米国(US)㉒ 501332

⑳ 発 明 者 大 地 成 治 東京都港区西麻布2丁目26番30号 富士写真フイルム株式
会社内㉑ 出 願 人 富士写真フイルム株式 神奈川県南足柄市中沼210番地
会社

㉒ 代 理 人 弁理士 佐々木 清隆 外3名

審 査 官 藤 原 英 夫

㉓ 参 考 文 献 特開 昭57-181155 (JP, A) 特開 昭58-68380 (JP, A)

1

2

① 特許請求の範囲

1 半導体サブストレート上に配置された第1、第2の電極組から成り、前記のいずれか電極組に属する各電極は通常互いに平行しており、前記第1の電極組に属する電極と第2の電極組に属する電極は通常互いに直交しているグリッド電極と、行と列のマトリックスに配置された複数の光センサ手段と、前記第1の電極組のそれぞれの電極に与えられる活性化信号に应答して前記光センサ手段の読出しを行うために各光センサ手段を前記第2の電極組のそれぞれの電極に選択的に結合するための手段との3つをもつソリッドステートイメージセンサにおいて、前記第1、第2の電極組の少なくとも1つは隣接する電極と互いに反対位相となる波状パターンに形成され、光センサ手段が前記隣接する電極と互いに離散している領域に配置されることを特徴とするソリッドステートイメージセンサ。

2 選択的結合手段が複数のスイッチング手段から成り、各スイッチング手段は前記隣接する電極と互いに反対位相となる波状パターンに形成された電極組の隣接する電極が互いに近接するところの領域に配置されることを特徴とする特許請求の範囲第1項記載のソリッドステートイメージセン

サ。

3 スwitchング手段がFET素子から成り、該スイッチング手段は、共通の第2電極に接続されたドレインと第1の電極組に属する互いに隣接しあう電極が互いに最も接近した位置で第1の電極組のそれぞれ隣接する電極によって形成され、かつ、これらの電極に結合されたゲート及び2つの光センサ手段に接続されたソースをもつFET素子の一对として配置されることを特徴とするところの特許請求の範囲第2項記載のソリッドステートイメージセンサ。

4 前記各隣接する電極と互いに反対位相となる波状パターンに形成された電極組は、電極の長手方向に伸びている第1部分と、前記長手方向に対し鋭角で伸びている第2部分と、前記長手方向に平行に伸びている第3部分と、前記長手方向に対し前記鋭角と相補な角度で伸びている第4部分をもつ平らなジグザグパターンをもつことを特徴とする特許請求の範囲第3項記載のソリッドステートイメージセンサ。

5 前記各光センサ手段は通常八角形の形をしていることを特徴とする特許請求の範囲第4項記載のソリッドステートイメージセンサ。

6 前記各光センサ手段は光ダイオードを含むこ

(2)

特公 平 4-31231

3

4

とを特徴とする特許請求の範囲第4項記載のソリッドステートイメージセンサ。

7 複数のカラーフィルタを含み、前記フィルタはカラーイメージングに対し適当な予め定められたパターンで配置され、前記各カラーフィルタは前記光センス手段のそれぞれの上に配置されることを特徴とする特許請求の範囲第4項記載のソリッドステートイメージセンサ。

8 半導体サブストレートと、前記半導体サブストレート上に配置された第1、第2の電極組と、前記半導体サブストレートに形成された複数の光センス要素と、複数のFET素子を含むソリッドステートイメージセンサであつて、前記第1の電極組の各電極は、前記第1の電極組の隣接する一対の間に定められた間隔で拡張した領域を形成するために前記第1の電極組の隣接する電極と互いに逆位相の波状パターンで形成され、前記拡張した領域の一つの行は前記第1の電極組の隣接する二つの間に形成され、前記拡張した領域は互いに隣接する領域が千鳥状に配列されており、前記第2の電極組は前記第1の電極組の電極と通常直交して配置された電極を含み、前記第2の電極組の電極は前記第1の電極のそれぞれの並んだ峰と谷を横切つて伸びており、前記第1、第2のすべての電極は互いに電氣的に絶縁されており、前記複数の光センス要素は前記拡張した領域の各々に形成されており、前記複数のFET素子は前記光センス要素の各々のために与えられ、前記各FET素子の各々はそれぞれの光センス要素と結合されたソースと、前記第1の電極の1つによつて形成され、それに結合されたゲートと、前記第2の電極のそれぞれに結合されたドレインと、前記ドレインは前記拡張した領域の2つの間の前記半導体サブストレートに形成されたところのソリッドステートイメージセンサ。

9 前記各光センス要素は1つの光ダイオードを含むことを特徴とする特許請求の範囲第8項記載のソリッドステートイメージセンサ。

10 前記各FET素子のソースはそれぞれの光ダイオードの領域の上に広がっており、前記光ダイオードの活性層を形成することを特徴とする特許請求の範囲第9項記載のソリッドステートイメージセンサ。

11 前記FET素子は共通のドレイン領域と、

前記第1の電極組の隣接する電極の対が互いに最も近接する領域に形成されたゲートをもつ一対として与えられることを特徴とする特許請求の範囲第9項記載のソリッドステートイメージセンサ。

12 前記各拡張した領域と前記各光センス要素は通常八角形の形であることを特徴とする特許請求の範囲第8項記載のソリッドステートイメージセンサ。

発明の詳細な説明

産業上の利用分野

この発明は、光パターンの強度を表わす信号を作るために使われるソリッドステートイメージセンサに関するものである。このようなソリッドステートイメージセンサは、例えば、テレビカメラや電子写真カメラにおけるデテクタとして使われる。

従来技術

この発明が属する形成のソリッドステートイメージセンサは、行列に配置された画素のマトリックスから成る。各画素はセンサ上に投射される画像や絵の対応する個所から光を受け、それに応じてその個所の光の強度を表わす電気信号を作る。

第1図に表わされるように、センサ構造に関する一つの先行技術は、半導体サブストレート10上に直線の行と列の規則的方形パターンで画素11を形成することであつた。水平方向に伸びる電極と垂直方向に伸びる電極(第1図には示されていない)が、画素11の異なる行を順に活性化し、画素の行から読出された信号を受けるために与えられる。この分野の通常の技術を有する者にはよく知られているように、水平方向に伸びている電極は、活性化のための「垂直シフトレジスタ」と呼ばれるものの出力に接続されている。

第1図の配置はいくつかの応用には受け入れられたが、いくつかの重大な欠点に悩まされている。第1に、水平方向の単位長当たりの画素数によつて評価されるセンサの解像度が限られていることである。第2に、行と列方向の両方とも直線配置のために、特定のパターンがセンスされたときにモアレ干渉が起きることである。

これらの欠点を打ち破る試みで、第2A図に示されるような画素配置が提案されている。この配置では、画素11は半導体サブストレート上に千鳥配置、すなわち、画素11の各行は行方向で互

(3)

特公 平 4-31231

5

いに埋め合わされるような配置で形成される。

第2 B図は、第2 A図のイメージセンサの拡大した平面図であり、第2 C図は第2 B図でA-A'の線に沿った断面図である。第2 B図に関して、画素11の各光感応領域は、光ダイオードの活性層と光ダイオードの出力を垂直方向に伸びている線に接続するために使われるスイッチングFET素子のソースの両方を形成するソース拡散15の領域によって規定される。各ソース拡散15の一方の端は、水平方向に伸びている電極18の端にまで広がっており、ドレイン拡散16は水平方向に伸びている電極18の反対側に形成される。水平方向に伸びている電極は、各ソース拡散15とドレイン拡散16の間にゲート領域19を形成するように薄い酸化層によって半導体サブストレートの表面から分離される。ドレイン拡散16は垂直方向に伸びている線24（第2 C図を見よ、第2 B図では見易くするために省かれている）に接続されている。

第2 C図に明確に示されるように、各ソース拡散15はPウェル26内に形成されるN⁺型拡散である。P⁺領域25はN型サブストレート27上のN⁺型拡散15の下に形成される。このようにしてソース拡散15はP⁺拡散25とP型ウェル26で光ダイオードを形成する。水平方向に伸びている各電極18は、絶縁酸化層20によって垂直方向に伸びている電極24から絶縁されている。もしイメージセンサがカラーイメージセンサであるなら、カラーフィルタ23が各ソース拡散15上にカラー像のために適切なパターンで与えられる種々のカラーフィルタのアレイの形で与えられる。カラーフィルタ23は保護層22に埋め込まれる。

第2 A～2 C図の配置は、センサの解像度が改善し、モアレフリッジ効果が減少するという点で第1図に表わされるものに対し有利である。しかし、第2 A～2 C図のセンサは感度が十分でないために、多くの応用に対してまだ十分には受け入れられていない。

画素の感度は、その光感応領域（第2 A～2 C図のセンサにおいてソース領域15によって定義される領域）を、画素の総領域で割ったもので決められる。かくして、与えられる最小の写真平版の明確さ、つまり、水平又は垂直方向に伸びてい

6

る電極の与えられる最小幅に対して、センサの解像度を向上するために第2 A～2 C図の配置で水平方向の単位長当りの画素数を増加するとき、センサの感度は低くなる。

5 発明の目的

従つて、この発明の目的は上述したと同じ形式のソリッドステートイメージセンサにおいて、解像度、感度ともに先行技術のものより向上したものを与えることである。

10 発明の構成

発明の他の目的と同様に、この目的は第1、第2の電極組から成るグリッド電極を含み、各電極組内の電極は通常互いに平行で、第1、第2の電極組の電極同士は通常直交して配置され、複数の光センサ手段が行と列のマトリックスに配置され、その各々は第1の電極組の対応する電極に選択的に接続され、特定の光センサ手段の読出しを行わせるためにそこから信号を受取り、第2の電極組の対応する電極に選択的に接続され、特定の光センサ手段から光強度信号を第2の電極組の電極に出力するソリッドステートイメージセンサにおいて、第1、第2の電極組の少なくとも1つは、隣接する電極と互いに反対の位相をもつ波状パターンで形成され、光センサ手段が前記隣接する電極と互いに離散している領域に配置されることを特徴とするソリッドステートイメージセンサにより達成される。「互いに反対の位相」とすることによって、与えられる参照フレームに対し、一つの電極の谷は隣接する電極のすぐ隣の峰と30 いうことになり、電極は互いに位相を180°シフトされて現われる。第1、第2の電極組の少なくとも一つは、例えば第1の電極組は、光センサ手段の読出を行わせる活性化信号が与えられるために使われる電極であることが望ましい。

35 各光センサ手段は前記各隣接する電極と互いに反対位相となる波状パターンに形成された電極組が互いに離れていくところの近くの領域に配置される。すなわち、光センサ手段は例えば光センサ手段の両サイドの第1の電極組が外側に広がっていく波状電極の間の拡張した領域に形成される。好ましくはFET素子の形をとるスイッチング手段が、第1の電極組の対応する電極に与えられる活性化信号に应答して光センサ手段を第2の電極組のそれぞれの電極に選択的に結合する。これら

(4)

特公 平 4-31231

7

の各スイッチング素子は、前記隣接する電極と互いに反対位相となる波状パターンに形成された電極組の隣接する電極が互いに近接するところの領域に配置される。他の態様に於いて、FETスイッチング素子は、共通の第2電極に接続されたドレインと第1電極組に属する互いに隣接しあう電極が互いに最も接近した位置で第1の電極組のそれぞれ隣接する電極によって形成され、かつ、これらの電極に結合されたゲート及び2つの光セン

ス手段に接続されたソースをもつ対構造のFET素子として形成される。

第1の電極組の各電極の波状パターンはジグザグパターン、特に平らな端をもつジグザグパターンの形をとる。後者の場合、光セン

ス手段が配置される領域は通常八角形であり、光セン

ス手段自身も光センスのために利用できる領域を最大に使用できるように八角形にされることが望ましい。撮像装置がカラー像のために使われる場合、カラーフィルタが適切なパターンで光セン

ス素子の上に配置される。

本発明は、半導体基板、第1、第2の2つの電極組、光センサー素子および複数のFET素子を含み、これらの間に以下の関係を有している固体撮像素子によって具体的には実現される。すなわち、上記の第1、第2の電極組は互いに直交して配置され、1つの電極組に属する各電極は通常互いに平行であり、第1の電極組の電極は隣接しあう電極が互いに逆位相の波状パターンで形成され、また光セン

ス要素は半導体サブストレート上で第1の電極組に属する2つの電極が互いに離散し、その間に形成される広がった領域の各々に形成され、複数のFET素子が第1の電極組のそれぞれ一つの信号に

応答して各光セン

ス素子の出力を第2の電極組の適当な電極に伝達するという関係が本発明の固体撮像素子に存在する。このように第1の電極組の電極を配置することによって、拡張した領域の行列がセンサの水平方向に形成され、拡張した領域の互いに隣接しあう行は互いに千鳥状になっている。「互いに千鳥にすること」によって、拡張した領域の列（垂直方向）の中心を結ぶ線は、拡張した領域の両側にある拡張した領域の中心を接続する線の間のほぼ真中の所を通る。また、水平、垂直、行、列という方向を表わす語は、説明における便利さのためにだけ用いら

8

れており、セン

スされる像や他の構成要素に関する最終のイメージセンサの方向については、取扱い上、何ら特別の意味をもたない。

ある1つの好ましい実施例において光セン

ス要素は、FET素子のソース拡散が各光ダイオードの活性層を形成するような光ダイオードで形成される。FET素子は好ましくは、第1の電極組に属する互いに隣接しあう電極の対が最も接近する領域、すなわち、電極が集中する領域に設けられたゲートと共通のドレイン領域との対で与えられる。第1の電極組の電極を平らな端をもつジグザグパターンで形成することによって、光セン

ス要素のある拡張した領域は、一般に八角形となる。この発明は各画素の光感応領域を最大とすることによる感度上昇とモアレフリンジ効果の十分な減少という効果を同時に与える。

実施例

第3図の平面図によつて、この発明の開示に従つて構成されたソリッドステートイメージセンサの第1の実施例を説明する。

この発明によれば、ソリッドステートイメージセンサの水平方向に伸びる電極34が水平方向（長手方向）に沿った第1部分と、前記水平方向に対し鋭角で伸びている第2部分と、前記水平方向と平行に伸びている第3部分と、前記水平方向に対し前記鋭角と相補な角度で伸びている第4部分をもつジグザグパターン（平らなジグザグパターン）で形成され、隣接する電極34とは互いに180°の位相をもっている。そうすることで、八角形の拡張した領域の列が隣りの列と千鳥になつて規則的な間隔で形成される。八角形となつているソース拡散31は、この拡張した領域に形成される。ドレイン拡散32とドレインコンタクト領域35は、隣接する拡張した領域との間の小さな領域に形成される。すなわち、隣接する電極34が互いに集中する領域に形成される。第2B図の装置の場合と同様、ソース拡散31とドレイン拡散32は、水平方向に伸びる電極34のエッジ近くの位置まで半導体サブストレート上に広がっており、ゲート領域33は水平方向に伸びる電極34を導き酸化層によってサブストレートの表面から分離して、その間に形成される。

第4図は、第3図の実施例と同様に、この発明の他の実施例を示し、ここでは各ドレイン拡散3

(5)

特公 平 4-31231

9

8は2つの隣接するソース拡散31に対して1つのドレイン領域として働く。この場合、各ドレイン拡散38は2つの隣接する水平方向に伸びる電極34のエッジまで広がり、ゲート領域37は隣接する2つの水平方向に伸びる電極34の下に形成される。第4図の実施例はセンサがカラーイメージセンサのときには特に有利である。それはインターレーススキヤニングのために（このことは特願昭59-24455の中で説明している）、一度に水平方向に伸びる電極34のうち1つを活性化するだけでよいからである。

この発明のソリッドステートイメージセンサの作り方を、1例として第4図に示される形式のもので説明する。

まず、第5A、5B図に示されるように、フィールド酸化物の比較的厚い領域40をN型サブストレート（図示せず）上のP型層45の表面上に垂直方向に通常ジグザグパターンで成長させる。後でゲート領域を形成するために使われる薄い酸化層42が半導体サブストレートの表面上に形成される。

この作成段階では領域41（ソース拡散領域が形成される領域）と領域43（ドレイン拡散領域が形成される領域）はそのまま残される。

次に、第6A、6B図に表わされるように、半導体サブストレートでそのまま残っている部分には適切なドーパント材料が設置される。望ましいドーパント材料はN⁺タイプである。水平方向に伸びる電極34は上で述べられたような平らな淵をもつジグザグパターンで設けられる。望ましくは電極34はポリシリコン材料からなるのがよい。

次の第7A-7C図については、PSG（フوسفアークラス）の層47がデバイスの表面上に置かれ、エッチングされてドレインコンタクト領域48が作られる。

最後に、第8A-8C図に示されるように、ソース拡散31の上では幅の狭い部分51Aをもつ垂直方向に伸びる電極51がドレインコンタクト35と接触して置かれる。もう一つの酸化層である保護層49が完全なデバイスの表面上に形成される。もちろん、センサの光ダイオード部分の完成のために、第2C図のP⁺層25のような層を

10

与える必要がある。しかしこれは一般的なものでP⁺層は説明図を簡潔にする目的で省略されている。

これでこの発明の好ましい実施例の説明を終える。好ましい実施例が述べられたが、多くの修正、変更がこの分野の通常の技術を有する者にとって、この発明の精神を逸脱しないで為されることは明らかである。

図面の簡単な説明

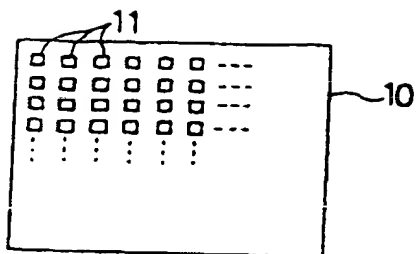
第1図は従来のソリッドステートイメージセンサの平面図である。第2A、2B図は他のソリッドステートイメージセンサであり、第2A図は第1図と同様の平面図、第2B図は第2A図の一部を拡大した概略的平面図、第2C図は第2B図でA-A'で指示された線に沿った断面図を拡大したものである。第3図は第2図と同様な平面図であるが、本発明のソリッドステートイメージセンサを表わしている。第4図は第3図と同様に本発明のソリッドステートイメージセンサの他の実施例を表わす平面図である。第5A-8C図は第4図で示される形式のソリッドステートイメージセンサの作り方のステップを表わしており、第5A-8A図は平面図、第5B図は第5A図におけるB-B'の線に沿う断面図、第6B図は第6A図におけるC-C'の線に沿う断面図、第7B図は第7A図におけるD-D'の線に沿う断面図、第7C図は第7A図におけるE-E'の線に沿う断面図、第8B図は第8A図におけるF-F'の線に沿う断面図、第8C図は第8A図におけるG-G'の線に沿う断面図である。

図中符号、10…半導体サブストレート、11…画素、15…ソース拡散、16…ドレイン拡散、18…電極、19…ゲート領域、20…絶縁酸化層、22…保護層、23…カラーフィルタ、24…線、25…P⁺領域、26…Pウェル、27…N型サブストレート、31…ソース拡散、32…ドレイン拡散、33…ゲート領域、34…電極、35…ドレインコンタクト領域、37…ゲート領域、38…ドレイン拡散、40…領域、42…酸化層、43…領域、45…P型層、47…層、48…ドレインコンタクト領域、49…保護層、51…電極。

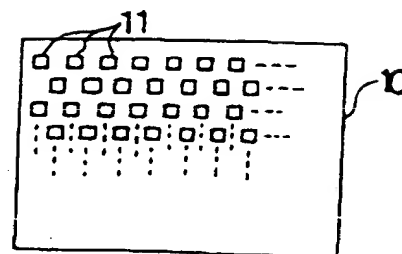
(6)

特公 平 4-31231

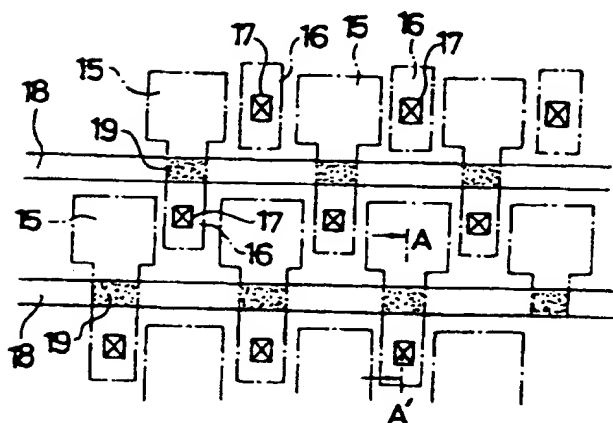
第1図



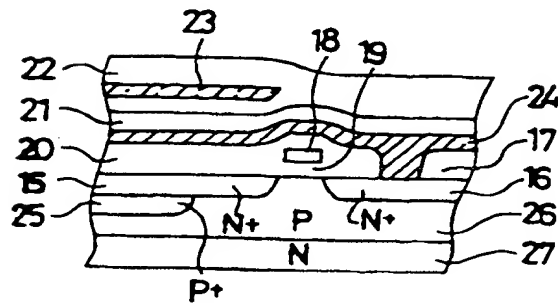
第2図 A



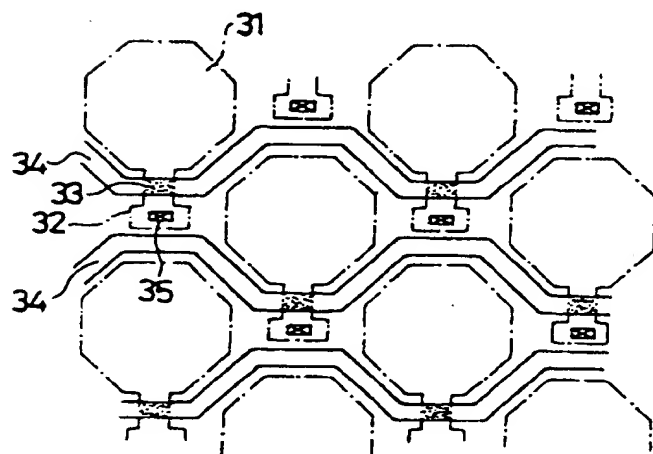
第2図 B



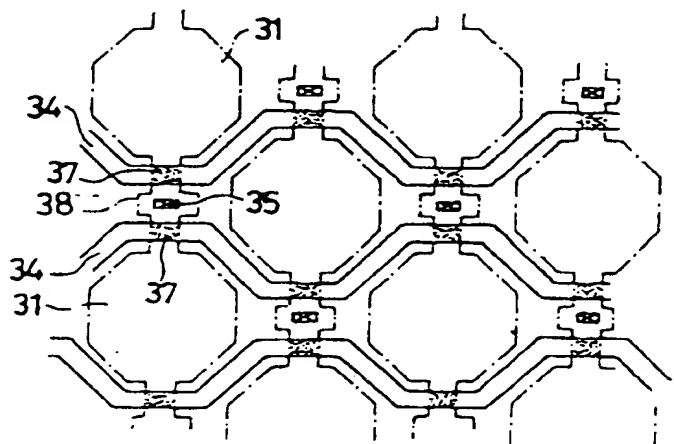
第2図 C



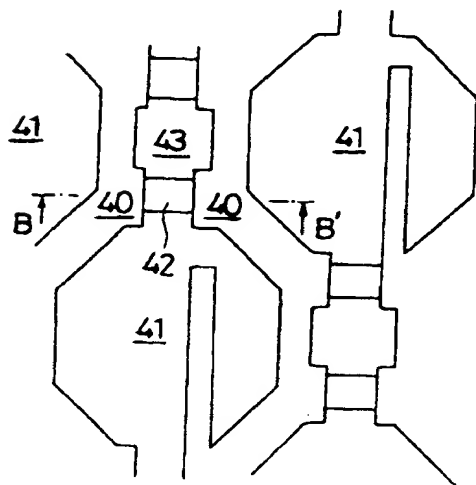
第3図



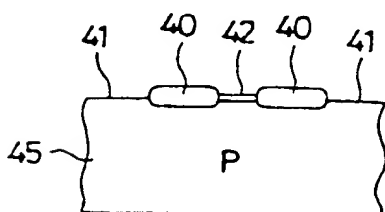
第4図



第5図 A



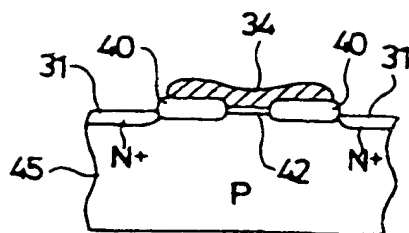
第5図 B



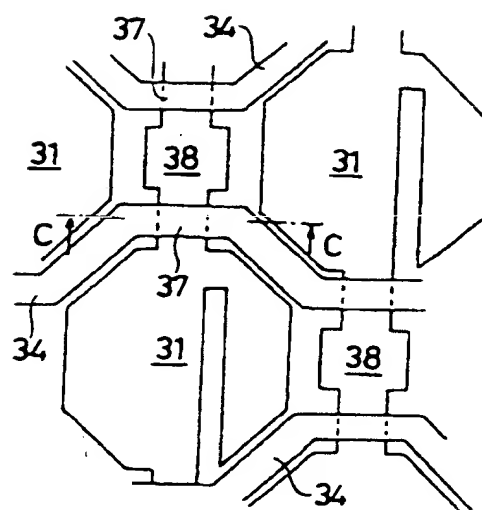
(7)

特公 平 4-31231

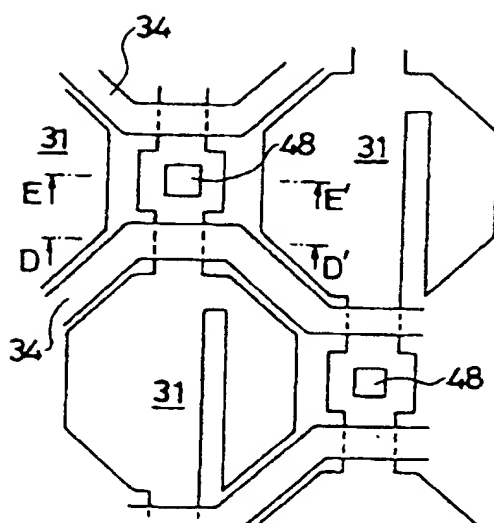
第 6 図 B



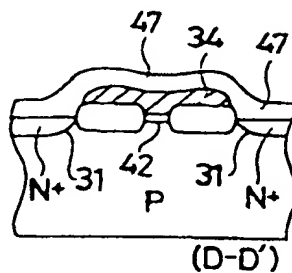
第 6 図 A



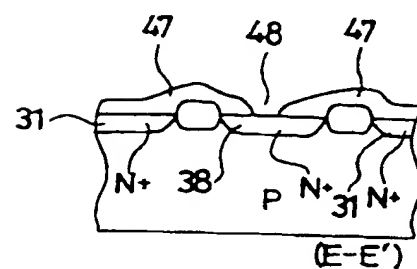
第 7 図 A



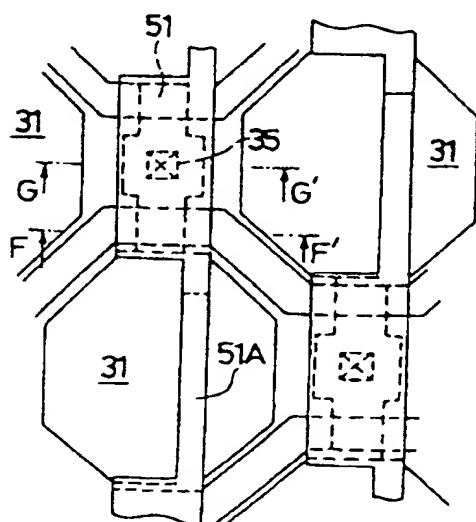
第 7 図 B



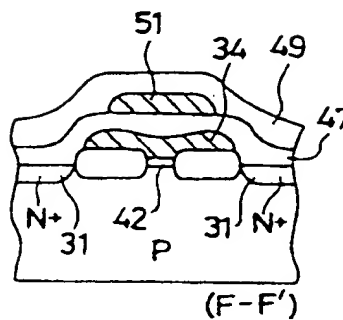
第 7 図 C



第 8 図 A



第 8 図 B



第 8 図 C

